

|  |  |
| --- | --- |
|  |  |
| **R E P O R T** | |
|  |  |

제목: 7주차 실습 과제

과목: 논리 회로 및 실험

날짜(년/월/일): 2018/05/02

소속 학과: 컴퓨터 전자 시스템 공학부

학번: 201702234

이름: 유동혁

|  |
| --- |
| **본 보고서의 내용 중 다른 문서(자료)를 인용한 것이 있습니까?**  **예( V ) 아니오( )** |
| **위에서 ‘예’로 답한 경우, 인용한 다른 문서는 무엇인지 아래에**  **명시해 주세요. (여러 개의 경우 주요 자료 2개 까지)**  **참조:**  <https://ko.wikipedia.org/wiki/%EA%B0%80%EC%82%B0%EA%B8%B0>  <http://woodforest.tistory.com/122> |

**논리회로 및 실험 예비레포트**

**학번: 201702234**

**이름: 유동혁**

1. 목표: 가산기(adder)의 종류 중 하나인 반가산기(half adder)에 대해 조사한다.

2. 내용:

반가산기:

1비트 이진수 두개(A, B)를 더한 합 sum(S) 과 자리올림 수 carry(C)를 구하는 회로.

And, or not의 세 가지 종류의 논리회로만으로 구성할 수 있다.

최종 값은 2^1\*C + 2^0\*S와 같다.

|  |  |
| --- | --- |
| 진리표 | 회로도 |
|  |  |

**논리 회로 및 실험 결과레포트**

**학번: 201702234**

**이름: 유동혁**

1. 실습목표: 다음 부울함수 F를 4가지 형태로 구현한다.

F (A, B, C, D) =

NAND-AND / AND-NOR / OR-NAND / NOR-OR

1. 실습내용:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| AB | CD | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 0 | 0 |
| 01 | 1 | 0 | 0 | 0 |
| 11 | 1 | 0 | 0 | 1 |
| 10 | 1 | 1 | 1 | 1 |

|  |
| --- |
| Verilog HDL 코드 |
| module \_7thPractice(  F1, F2, F3, F4,  A, B, C, D  );  input A, B, C, D;  output F1, F2, F3, F4;  assign F1 = ~(~(A&~B)&~(~C&~D)&~(A&~D)); //((AB')'(C'D')'(AD')')'  assign F2 = ~(~((A&~B)|(~C&~D)|(A&~D))); //(((AB')+(C'D')+(AD'))')'  assign F3 = ~((~A|B)&(~A|D)&(C|D)); //((A'+B)(A'+D)(C+D))'  assign F4 = ~(~A|B)|~(~A|D)|~(C|D); //(A'+B)+(A'+D)'+(C+D)'  endmodule |

|  |
| --- |
| F1 |
|  |
| F2 |
|  |
| F3 |
|  |
| F4 |
|  |

1. 실습결과:

|  |  |
| --- | --- |
| 0000 | 0001 |
|  |  |
| 0010 | 0011 |
|  |  |
| 0100 | 0101 |
|  |  |
| 0110 | 0111 |
|  |  |
| 1000 | 1001 |
|  |  |
| 1010 | 1011 |
|  |  |
| 1100 | 1101 |
|  |  |
| 1110 | 1111 |
|  |  |

1. 고찰: